

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-030720

(43)Date of publication of application : 02.02.1999

(51)Int.Cl.

G02B 6/12

H01S 3/18

(21)Application number : 09-185198

(71)Applicant : NEC CORP

(22)Date of filing : 10.07.1997

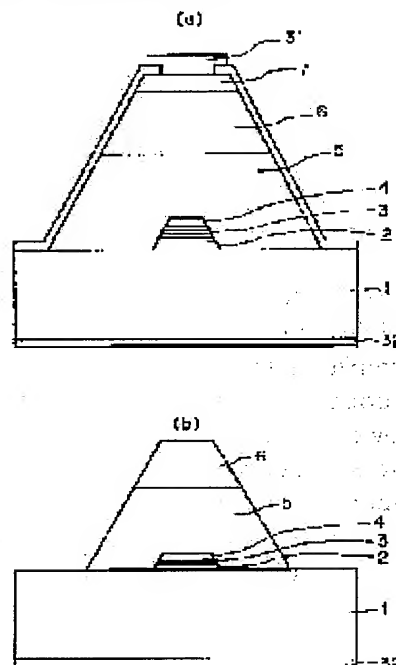
(72)Inventor : SASAKI TATSUYA

(54) SEMICONDUCTOR OPTICAL INTEGRATED ELEMENT AND ITS PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To enable the integration of active regions and passive waveguide regions of a small radius of curvature by using an integral forming technique of an active layer by selective MOVPE (org. metal vapor phase growth method) by forming waveguides corresponding to a high mesa structure in the passive waveguides while the selective MOVPE is used.

SOLUTION: Clad layers are embedded into the semiconductor substrate by dividing these layers to the first clad layer 5 having the refractive index larger than the refractive index of InP and the second clad layer 6 the same as the substrate 1 at the time of growing the InP embedment layers after the simultaneous growth of the lower clad layer 2, active layer 3 and upper clad layer 4 on the semiconductor substrate 1 by selective growth using the MOVPE. Then, the refractive indices of the active layer 3 which is the initially selectively grown optical waveguide layer and the first clad layer 5 grown in the second time may be made nearly the same and the guided light is confined mainly into the first clad layer 5 in the passive waveguide region. Namely, the structure similar to the high mesa structure is obtd. and the radius of curvature may be reduced even in the curvilinear waveguide. The miniaturization of the semiconductor optical element is thus embodied.



LEGAL STATUS

[Date of request for examination]

10.07.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3067702

[Date of registration]

19.05.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

19.05.2004

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-30720

(43) 公開日 平成11年(1999) 2月2日

(51) Int.Cl.⁶

識別記号

F I

G 0 2 B 6/12

G 0 2 B 6/12

J

H 0 1 S 3/18

H 0 1 S 3/18

審査請求 有 請求項の数13 O L (全 11 頁)

(21) 出願番号 特願平9-185198

(22) 出願日 平成9年(1997) 7月10日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 佐々木 達也

東京都港区芝五丁目7番1号 日本電気株式会社内

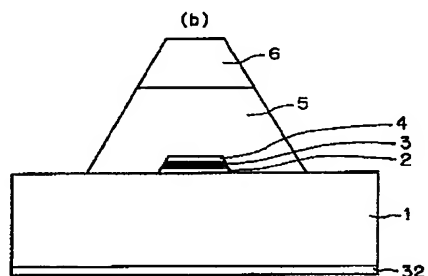
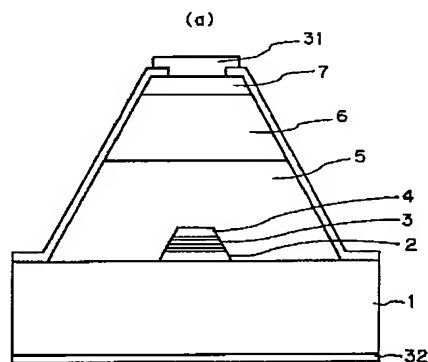
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 半導体光集積素子およびその製造方法

(57) 【要約】

【課題】 活性層と光導波を一括形成した半導体光集積素子において、曲線導波路の曲率半径を小さくして、素子を小型化すること。

【解決手段】 選択MOVPEによるバンドギャップエネルギー制御技術を用いて活性領域と受動導波路領域の活性層を一括形成した後、InPより屈折率の高いInGaAsP第1クラッド層、InP第2クラッド層を埋め込み成長する。受動導波路において活性層と第1クラッド層の屈折率が同等となり、導波光は第1クラッド層に閉じ込められる。第1クラッド層の屈折率、膜厚、導波層幅を適切にとることにより、曲率半径が小さくても放射損失を生じない光導波路を形成できる。



【特許請求の範囲】

【請求項1】 活性領域および受動導波路領域からなる半導体光集積素子であって、第1導電型半導体基板上の前記活性領域および前記受動導波路領域に一括して形成された半導体活性層の層厚が前記受動導波路領域において前記活性領域よりも薄く、かつ前記受動導波路領域における前記半導体活性層のバンドギャップエネルギーが前記活性領域における前記半導体活性層のバンドギャップエネルギーよりも大きく、前記活性領域および前記受動導波路領域における前記半導体活性層の側部および上部が第2導電型半導体クラッド層により一括して埋め込まれている半導体光集積素子において、前記第2導電型半導体クラッド層が少なくとも第2導電型第1クラッド層および第2導電型第2クラッド層からなり、前記第2導電型第1クラッド層の屈折率が前記第1導電型半導体基板および前記第2導電型第2クラッド層の屈折率より高いことを特徴とする半導体光集積素子。

【請求項2】 前記活性領域における前記第2導電型第1クラッド層のバンドギャップエネルギーが、前記受動導波路領域における前記第2導電型第1クラッド層のバンドギャップエネルギーよりも大きいことを特徴とする請求項1記載の半導体光集積素子。

【請求項3】 前記受動導波路領域における前記第2導電型第1クラッド層のバンドギャップエネルギーが、前記受動導波路領域における前記半導体活性層のバンドギャップエネルギーと同一であることを特徴とする請求項1または2のいずれか記載の半導体光集積素子。

【請求項4】 前記第2導電型第1クラッド層のキャリア濃度が前記第2導電型第2クラッド層のキャリア濃度より低いことを特徴とする請求項1から3のいずれか記載の半導体光集積素子。

【請求項5】 前記受動導波路領域における前記第2導電型第1クラッド層の両側に前記半導体基板に達する溝が形成されていることを特徴とする請求項1から4のいずれか記載の半導体光集積素子。

【請求項6】 活性領域および受動導波路領域からなる半導体光集積素子であって、第1導電型半導体基板上の前記活性領域および前記受動導波路領域に一括して形成された半導体活性層の層厚が前記受動導波路領域において前記活性領域よりも薄く、かつ前記受動導波路領域における前記半導体活性層のバンドギャップエネルギーが前記活性領域における前記半導体活性層のバンドギャップエネルギーよりも大きく、前記活性領域における前記半導体活性層の側部および上部が第2導電型半導体クラッド層により、前記受動導波路領域の少なくとも上部がアンドープ半導体クラッド層により独立して埋め込まれている半導体光集積素子において、前記アンドープ半導体クラッド層が少なくともアンドープ第1クラッド層およびアンドープ第2クラッド層からなり、前記アンドープ第1クラッド層の屈折率が前記第1導電型半導体基板

および前記アンドープ第2クラッド層の屈折率より高いことを特徴とする半導体光集積素子。

【請求項7】 第1導電型半導体基板上の活性領域および受動導波路領域にストライプ状に形成された2本の誘電体薄膜を、前記活性領域におけるストライプ幅が前記受動導波路領域におけるストライプ幅よりも広くなるように設定して、前記誘電体薄膜に挟まれた領域に少なくとも半導体活性層を形成する工程と、再び2本の誘電体薄膜をストライプ状に形成して、前記活性領域および前記受動導波路領域における前記半導体活性層の側部および上部を、前記半導体基板より屈折率の高い第2導電型第1クラッド層および前記第2導電型第1クラッド層より屈折率の低い第2導電型第2クラッド層により一括して埋め込む工程を含むことを特徴とする半導体光集積素子の製造方法。

【請求項8】 前記第2導電型半導体クラッド層を形成する際の誘電体薄膜のストライプ幅が活性領域において受動導波路領域よりも狭くなるように設定することを特徴とする請求項7記載の半導体光集積素子の製造方法。

【請求項9】 前記第2導電型半導体クラッド層を形成する際の誘電体薄膜の空隙幅が活性領域において受動導波路領域よりも広くなるように設定することを特徴とする請求項7記載の半導体光集積素子の製造方法。

【請求項10】 前記第2導電型半導体クラッド層の上部に形成した第2導電型半導体コンタクト層、および前記第2導電型半導体第1クラッド層をマスクとした選択エッチングにより、前記第2導電型半導体第1クラッド層の側部の前記半導体基板に溝を形成することを特徴とする請求項7から9のいずれか記載の半導体光集積素子の製造方法。

【請求項11】 第1導電型半導体基板上の少なくとも活性領域にストライプ状に形成された2本の誘電体薄膜を、前記活性領域におけるストライプ幅が前記受動導波路領域におけるストライプ幅よりも広くなるように設定して、前記誘電体薄膜に挟まれた領域に少なくとも半導体活性層を形成する工程と、前記誘電体薄膜を除去し、前記半導体活性層の側部および上部を覆うように、前記半導体基板より屈折率の高い第2導電型第1クラッド層および前記第2導電型第1クラッド層より屈折率の低い第2導電型第2クラッド層を、前記活性領域および前記受動導波路領域に一括して形成する工程と、前記活性層およびその側部の前記第2導電型第1クラッド層を残すように、前記活性領域および前記受動導波路領域に一括して、前記半導体基板までストライプ状にメサエッチングする工程を含むことを特徴とする半導体光集積素子の製造方法。

【請求項12】 第1導電型半導体基板上の活性領域および受動導波路領域にストライプ状に形成された2本の誘電体薄膜を、前記活性領域におけるストライプ幅が前記受動導波路領域におけるストライプ幅よりも広くなる

ように設定して、前記誘電体薄膜に挟まれた領域に少なくとも半導体活性層を形成する工程と、前記活性領域のみ2本の誘電体薄膜をストライプ状に形成するとともに前記受動導波路領域の前記半導体活性層上部は誘電体薄膜で覆い、前記活性領域における前記半導体活性層の側部および上部のみを第2導電型半導体クラッド層で覆う工程と、前記受動導波路領域のみ2本の誘電体薄膜をストライプ状に形成するとともに前記活性領域の前記半導体活性層上部は誘電体薄膜で覆い、前記受動導波路領域における前記半導体活性層の側部および上部を前記半導体基板より屈折率の高いアンドープ第1クラッド層および前記アンドープ第1クラッド層より屈折率の低いアンドープ第2クラッド層により埋め込む工程を含むことを特徴とする半導体光集積素子の製造方法。

【請求項13】 第1導電型半導体基板上の活性領域および受動導波路領域にストライプ状に形成された2本の誘電体薄膜を、前記活性領域におけるストライプ幅が前記受動導波路領域におけるストライプ幅よりも広くなるように設定して、前記誘電体薄膜に挟まれた領域に少なくとも半導体活性層を形成する工程と、前記活性領域における誘電体薄膜のマスク幅が、前記受動導波路領域における誘電体薄膜のマスク幅より狭くなるように誘電体薄膜のパターンを再形成して、前記半導体基板より屈折率の高い第2導電型第1クラッド層および前記第2導電型第1クラッド層より屈折率の低い第2導電型第2クラッド層を形成する工程と、前記活性領域のみに前記活性層の両側をストライプ状に除去して2本の誘電体薄膜をストライプ状に形成するとともに前記受動導波路領域の前記第2導電型第2クラッド層上部は誘電体薄膜で覆い、前記活性領域における前記半導体活性層の側部および上部のみを第2導電型半導体クラッド層で埋め込む工程を含むことを特徴とする、半導体光集積素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する分野】本発明は、幹線系光ファイバ通信システムやアクセス系光通信システムなどに用いられる、半導体光集積素子およびその製造方法に関する。

【0002】

【従来の技術】光ファイバ通信技術の進展とその適用分野の拡大により、最近では光半導体素子にも多様な機能が要求されている。こうした要請に応えるために、従来の単体素子ではなく、様々な機能を有する要素をモノリシックに集積した半導体光集積素子の研究開発が活発に行われている。

【0003】その一例として、光波ネットワークに用いられるマトリクス光スイッチやアクセス系向けの双方向光集積素子、多波長半導体レーザアレイに合波器を集積した素子、波長選択機能を有するアレイ導波路格子型の合分波器などが挙げられる。またアクセス系向け光通信

システム用の光源として重要な、スポットサイズ変換光導波路集積半導体レーザも光集積素子の一種と言える。

【0004】このような半導体光集積素子はいずれも半導体レーザや光アンプの利得領域である活性領域と、受動光導波路領域からなっており、高い量子効率を有する活性領域と低い導波損失を有する受動領域をいかに簡便な方法で集積できるかがポイントとなる。

【0005】上記の要求を満足する素子の製造方法として、選択成長によるバンドギャップエネルギー制御技術を用いた方法がある（特開平4-303982号）。この方法を図を用いて説明する。図6は従来の方法で半導体集積素子の構造を示す断面図であり、(a)、(b)はそれぞれ活性領域、受動光導波路領域における断面図である。また図7にはその製造方法を示す。

【0006】n型半導体基板1上にシリコン酸化膜などの2本の誘電体薄膜21をストライプ状に形成する（図7(a)および(b)）。この2本の誘電体薄膜21に挟まれた領域が導波領域22となる。この際に、活性領域23と受動導波路領域24において、誘電体薄膜21のマスク幅を変化させておく。すなわち活性領域23におけるマスク幅の方を広くしておく。

【0007】このようなマスクパターンを形成した半導体基板1上に有機金属気相成長法(MOVPE、もしくはMOCVD)により、n型半導体下部クラッド層2、半導体活性層3、およびp型半導体上部クラッド層4からなるダブルヘテロ構造を導波領域22に選択的に形成する（図7(c)）。この際、マスク幅が広い領域ほど選択成長層のバンドギャップエネルギーが減少する方向に組成が変化するとともに層厚が増力口するという選択MOVPE特有の効果により、バンドギャップエネルギーの小さな活性層と活性層よりバンドギャップエネルギーの大きな受動導波層を一括して形成することができる。

【0008】続いて導波領域近傍の誘電体薄膜21を部分的に除去する（図7(d)）。マスクパターンは図7(e)のように図7(b)で形成した誘電体薄膜21をそのまま使用してもよいし、図7(f)のようにマスク幅が一定になるように誘電体薄膜21を再び形成した後加工してもよい。その後、p型半導体クラッド層8および、p型半導体コンタクト層7を活性層3の上部および側部を埋め込むように形成する（図7(g)）。そして半導体コンタクト層7の表面および基板裏面に電極を形成して、素子化する。

【0009】なお、通常はn型の半導体基板を用いており、その場合クラッド層8はp型となる。従つて受動導波路において、光閉じ込めの弱い活性層から浸み出した導波光がクラッド層8で価電子帯間遷移により吸収され、導波損失が高くなるという問題があった。

【0010】これを回避する方法として、選択成長した活性層を埋め込む際に、まず受動導波路領域のみアンド

ープ半導体クラッド層で埋め込んだ後、半導体クラッド層8およびp型半導体コンタクト層7を形成する方法も提案されている(特願平144283)。

【0011】

【発明が解決すべき課題】上記のように選択MOVPEを用いた作製方法は製作が容易であること、光導波路間の結合特性に優れることなど、種々の利点を有している。しかし、選択MOVPEではマスク幅の狭い受動導波路領域(図6(b))において、成長層の層厚が活性領域に比べて必然的に薄くなり、従ってコア層の役割を果たず活性層3での光の閉じ込め効率が低下し、曲線導波路において放射損失が増大するという問題が生じやすい。そのため一般的に5mm程度の曲率半径が必要となる。そのため曲線導波路を有する光集積素子においては素子寸法の増大を招き、ウエハからの素子収量の低下、コストの増大といった実用上大きな問題を生じる原因となっていた。

【0012】

【課題を解決するための手段】上記の課題を解決するための光集積素子およびその製造方法は以下の通りである。

【0013】活性領域および受動導波路領域からなる半導体光集積素子であって、第1導電型半導体基板上の前記活性領域および前記受動導波路領域に一括して形成された半導体活性層の層厚が前記受動導波路領域において前記活性領域よりも薄く、かつ前記受動導波路領域における前記半導体活性層のバンドギャップエネルギーが前記活性領域における前記半導体活性層のバンドギャップエネルギーよりも大きく、前記活性領域および前記受動導波路領域における前記半導体活性層の側部および上部が第2導電型半導体クラッド層により一括して埋め込まれている半導体光集積素子において、前記第2導電型半導体クラッド層が少なくとも第2導電型第1クラッド層および第2導電型第2クラッド層からなり、前記第2導電型第1クラッド層の屈折率が前記第1導電型半導体基板および前記第2導電型第2クラッド層の屈折率より高いことを特徴とする半導体光集積素子。

【0014】バンドエネルギー(eV) = $1.24 / \text{組成波長}(\mu\text{m})$ とすると、例えば、活性層発光波長が1.3 μm の場合に、各領域でのバンドギャップエネルギー(波長)と屈折率は、好ましくは活性領域でそれぞれ1.3 μm 、約3.5:受動導波路領域で約1.05~約1.15 μm 、約3.25~約3.4:第1クラッド層で約1.05~約1.15 μm 、約3.25~約3.4:第2クラッド層で約0.92 μm 、約3.21である。この数値はレーザ発振波長が1.3 μm の場合であり、これが1.55 μm の場合には数値は異なるが、上記例を参照して適宜選択することができる。一般的には活性領域と受動導波路領域との間でバンドギャップエネルギー差が120meV、屈折率差0.1程度あれば好ま

しい。

【0015】前記の半導体光集積素子において、前記活性領域における前記第2導電型第1クラッド層のバンドギャップエネルギーが、前記受動導波路領域における前記第2導電型第1クラッド層のバンドギャップエネルギーよりも大きいことを特徴とする半導体光集積素子。

【0016】例えば、活性層発光波長が1.3 μm の場合に、前記活性領域における前記第2導電型第1クラッド層のバンドギャップエネルギーが好ましくは0.92~1.10 μm 、前記受動導波路領域における前記第2導電型第1クラッド層のバンドギャップエネルギーが好ましくは1.05~1.15程度である。

【0017】前記の半導体光集積素子において、前記受動導波路領域における前記第2導電型第1クラッド層のバンドギャップエネルギーが、前記受動導波路領域における前記半導体活性層のバンドギャップエネルギーと同一であることを特徴とする、半導体光集積素子。

【0018】前記の半導体光集積素子において、前記第2導電型第1クラッド層のキャリア濃度が前記第2導電型第2クラッド層のキャリア濃度より低いことを特徴とする、半導体光集積素子。

【0019】例えば前記第2導電型第1クラッド層のキャリア濃度は $5 \times 10^{17} \text{ cm}^{-3}$ 以下、前記第2導電型第2クラッド層のキャリア濃度が $5 \times 10^{17} \text{ cm}^{-3}$ を超える濃度が好ましい。

【0020】前記の半導体光集積素子において、前記受動導波路領域における前記第2導電型第1クラッド層の両側に前記半導体基板に達する溝が形成されていることを特徴とする、半導体光集積素子。

【0021】活性領域および受動導波路領域からなる半導体光集積素子であって、第1導電型半導体基板上の前記活性領域および前記受動導波路領域に一括して形成された半導体活性層の層厚が前記受動導波路領域において前記活性領域よりも薄くかつ前記受動導波路領域における前記半導体活性層のバンドギャップエネルギーが前記活性領域における前記半導体活性層のバンドギャップエネルギーよりも大きく前記活性領域における前記半導体活性層の側部および上部が第2導電型半導体クラッド層により、前記受動導波路領域の少なくとも上部がアンドープ半導体クラッド層により独立して埋め込まれている半導体光集積素子において、前記アンドープ半導体クラッド層が少なくともアンドープ第1クラッド層およびアンドープ第2クラッド層からなり、前記アンドープ第1クラッド層の屈折率が前記第1導電型半導体基板および前記アンドープ第2クラッド層の屈折率より高いことを特徴とする、半導体光集積素子。

【0022】第1導電型半導体基板上の活性領域および受動導波路領域にストライプ状に形成された2本の誘電体薄膜を、前記活性領域におけるストライプ幅が前記受動導波路領域におけるストライプ幅よりも広くなるよう

に設定して、前記誘電体薄膜に挟まれた領域に少なくとも半導体活性層を形成する工程と、再び2本の誘電体薄膜をストライプ状に形成して、前記活性領域および前記受動導波路領域における前記半導体活性層の側部および上部を、前記半導体基板より屈折率の高い第2導電型第1クラッド層および前記第2導電型第1クラッド層より屈折率の低い第2導電型第2クラッド層により一括して埋め込む工程を含むことを特徴とする、半導体光集積素子の製造方法。

【0023】前記の半導体光集積素子の製造方法において、前記第2導電型半導体クラッド層を形成する際の誘電体薄膜のストライプ幅が活性領域において受動導波路領域よりも狭くなるように設定することを特徴とする、半導体光集積素子の製造方法。

【0024】前記の半導体光集積素子の製造方法において、前記第2導電型半導体クラッド層を形成する際の誘電体薄膜の空隙幅が活性領域において受動導波路領域よりも広くなるように設定することを特徴とする、半導体光集積素子の製造方法。

【0025】前記の半導体光集積素子の製造方法において、前記第2導電型半導体クラッド層の上部に形成した第2導電型半導体コンタクト層、および前記第2導電型半導体第1クラッド層をマスクとした選択エッチングにより、前記第2導電型半導体第1クラッド層の側部の前記半導体基板に溝を形成することを特徴とする、半導体光集積素子の製造方法。

【0026】第1導電型半導体基板上の少なくとも活性領域にストライプ状に形成された2本の誘電体薄膜を、前記活性領域におけるストライプ幅が前記受動導波路領域におけるストライプ幅よりも広くなるように設定して、前記誘電体薄膜に挟まれた領域に少なくとも半導体活性層を形成する工程と、前記誘電体薄膜を除去し、前記半導体活性層の側部および上部を覆うように、前記半導体基板より屈折率の高い第2導電型第1クラッド層および前記第2導電型第1クラッド層より屈折率の低い第2導電型第2クラッド層を、前記活性領域および前記受動導波路領域に一括して形成する工程と、前記活性層およびその側部の前記第2導電型第1クラッド層を残すように、前記活性領域および前記受動導波路領域に一括して、前記半導体基板までストライプ状にメサエッチングする工程を含むことを特徴とする、半導体光集積素子の製造方法。

【0027】第1導電型半導体基板上の活性領域および受動導波路領域にストライプ状に形成された2本の誘電体薄膜を、前記活性領域におけるストライプ幅が前記受動導波路領域におけるストライプ幅よりも広くなるように設定して、前記誘電体薄膜に挟まれた領域に少なくとも半導体活性層を形成する工程と、前記活性領域のみ2本の誘電体薄膜をストライプ状に形成するとともに前記受動導波路領域の前記半導体活性層上部は誘電体薄膜で

覆い、前記活性領域における前記半導体活性層の側部および上部のみを第2導電型半導体クラッド層で覆う工程と、前記受動導波路領域のみ2本の誘電体薄膜をストライプ状に形成するとともに前記活性領域の前記半導体活性層上部は誘電体薄膜で覆い、前記受動導波路領域における前記半導体活性層の側部および上部を前記半導体基板より屈折率の高いアンドープ第1クラッド層および前記アンドープ第1クラッド層より屈折率の低いアンドープ第2クラッド層により埋め込む工程を含むことを特徴とする、半導体光集積素子の製造方法。

【0028】第1導電型半導体基板上の活性領域および受動導波路領域にストライプ状に形成された2本の誘電体薄膜を、前記活性領域におけるストライプ幅が前記受動導波路領域におけるストライプ幅よりも広くなるように設定して、前記誘電体薄膜に挟まれた領域に少なくとも半導体活性層を形成する工程と、前記活性領域における誘電体薄膜のマスク幅が、前記受動導波路領域における誘電体薄膜のマスク幅より狭くなるように誘電体薄膜のパターンを再形成して、前記半導体基板より屈折率の高い第2導電型第1クラッド層および前記第2導電型第1クラッド層より屈折率の低い第2導電型第2クラッド層を形成する工程と、前記活性領域のみに前記活性層の両側をストライプ状に除去して2本の誘電体薄膜をストライプ状に形成するとともに前記受動導波路領域の前記第2導電型第2クラッド層上部は誘電体薄膜で覆い、前記活性領域における前記半導体活性層の側部および上部のみを第2導電型半導体クラッド層で埋め込む工程を含むことを特徴とする、半導体光集積素子の製造方法。

【0029】

【作用】曲線導波路の放射損失を低減する方法の一つとして、クラッドとの屈折率差の小さいコア層を比較的厚く成長し、両側を埋め込まずに空気との間で大きな屈折率差をとり、横方向の光閉じ込めを強くする、いわゆるハイメサ構造が知られている。図8にその断面構造を示す。

【0030】InP半導体基板1を使用し、波長組成1.1 μ m程度のInGaPコア層5（層厚約0.5 μ m）、InPクラッド層6（層厚約1 μ m）を積層した後、約2 μ mの深さに基板1までエッチングして幅約2 μ mの導波路を形成する。この導波路構造によれば、曲率半径を1mm程度まで小さくしても、放射損失を無視できるレベルに抑えることができる。

【0031】本発明の主旨は、選択MOVPEを用いた方法を用いながら、受動導波路においてこのハイメサ構造に相当する光導波路を形成しようというものである。

【0032】本発明の一例である光集積素子の活性領域および受動導波路領域の断面構造を図1(a)(b)に示す。まず従来例と同様の選択成長で半導体基板1上に下部クラッド層2、活性層3、上部クラッド層4を一括成長した後のInP埋め込み層の成長時に、屈折率がI

nPに比べて大きな第1クラッド層5 (InGaPなど) および基板と同じ第2クラッド層6 (InP) の2層に分けて埋め込むことを特徴としている。従って受動導波路領域においては、はじめに選択成長した光導波路である活性層3と2回目に成長した第1クラッド層5の屈折率はほとんど同一とすることができ、導波光は主に第2クラッド層5に閉じ込められる。すなわち図7のハイメサ構造と同様の構造となり、曲線導波路においても曲率半径を小さくでき、半導体光集積素子の小型化を実現できる。なおInP基板にまで溝を形成する方法として、図2および図3に示した構造が考えられる。詳細は実施例にて述べる。

【0033】クラッド層にp型半導体を用いた場合、従来の技術で触れた価電子帯間吸収による損失を抑制するため、第1クラッド層のキャリア濃度は第2クラッド層のキャリア濃度より低く設定することが望ましい。キャリアとしては一般にZn (亜鉛が使用される)。

【0034】通常的光デバイスのキャリア濃度は $5 \times 10^{17} \text{ cm}^{-3}$ 以上が必要で、通常は $1 \times 10^{18} \text{ cm}^{-3}$ 程度であるが、光導波路では $5 \times 10^{17} \text{ cm}^{-3}$ 以下にする必要がある。

【0035】なお活性領域においては、第1クラッド層の屈折率が従来より若干大きくなるが、特に導波モードに影響が出るほどの差は生じない。また活性層の両側のpn接合がInPのホモ接合からInP/InGaAsP接合となり、ビルトインポテンシャルが小さくなり漏れ電流が増加する傾向にあるが、これも影響が生じるほど第1クラッド層の屈折率を大きくしなければ特に問題はない。2回目の埋め込み成長においても選択成長を用いれば、マスクパターンによって活性領域と受動導波路領域における第1クラッド層の幅、層厚、屈折率を変化させることも可能である。

【0036】図2 (e)、(f) にマスクパターンを示すように、活性領域では通常の埋め込み構造とするため埋め込み層幅を広めに、また受動導波路領域では水平方向の光閉じ込めにおいて横高次モードの発生を防ぐために埋め込み層幅、すなわちコア層幅を狭くすることが一般的である。その際に成長領域幅が狭い受動導波路領域においては、活性領域に比べて第1埋め込み層の層厚が厚くなり、屈折率が高くなる。従って活性領域における第1埋め込み層の影響を少なくできる。

【0037】また2回目の埋め込み成長の際に第1クラッド層の幅が広くなることを避けるためには、1回目の活性層他の選択成長と同じ開口幅のマスクパターンを用いて、活性層の上部のみに第1クラッド層、第2クラッド層を形成してもよい。この際に誘電体薄膜を加工して、活性領域でのマスク幅が受動導波路領域のマスク幅より狭くなるようにすれば、活性領域での第1クラッド層の層厚を薄くすることができ、屈折率を第2クラッド層および基板に近づけることができる。この場合、3回

目の成長として活性領域のみにp型半導体クラッド層を活性層を覆うように埋め込み成長する必要がある。

【0038】さらに、従来の技術で述べたように、受動導波路領域における導波損失を低減するために、活性層を一括形成した後に、活性領域と受動導波路領域を別々に埋め込む方法も考えられる。この際は図4に断面図を示すように、活性領域では従来通りにp型InPクラッド層8で埋め込み、一方受動導波路領域では第1クラッド層であるアンドープInGaAsP層5、第2クラッド層であるアンドープInP層6で2段階に埋め込めばよい。

【0039】

【実施例】以下図面を用いて実際の素子構造および製造方法について説明する。図1 (a)、(b) は本発明の第1の実施例である半導体光集積素子の構造を示す断面図であり、図1 (a) は活性領域、図1 (b) は受動導波路領域における断面構造を示す。

【0040】n型InP基板1上にn型InP下部クラッド層2 (キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$)、InGaAsP井戸7層およびInGaAsPバリアからなる多重量子井戸活性層3、およびp型InP上部クラッド層4 (キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$) が選択的に形成されている。

【0041】活性層3の幅はいずれも $1.5 \mu\text{m}$ である。量子井戸活性層のゲインピーク波長は、活性領域では $1.3 \mu\text{m}$ 、受動導波路領域では $1.1 \mu\text{m}$ となっており、活性領域で電流流入により生じる波長 $1.3 \mu\text{m}$ の光は受動導波路領域では吸収されない。この活性層3を埋め込むように、p型InGaAsP第1クラッド層5 (層厚 $0.8 \mu\text{m}$ 、バンドギャップ波長 $1.05 \mu\text{m}$ 、キャリア濃度 $5 \times 10^{17} \text{ cm}^{-3}$)、およびp型InP第2クラッド層6 (層厚 $1 \mu\text{m}$ 、キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$) が一括して形成されている。p型InGaAsP第1クラッド層5の幅は活性領域では $8 \mu\text{m}$ であるのに対して、受動導波路領域では $4 \mu\text{m}$ とした。また活性領域ではさらにp型InGaAsコンタクト層 (層厚 $0.3 \mu\text{m}$ 、キャリア濃度 $1 \times 10^{19} \text{ cm}^{-3}$) が積層され、表面にp側電極31が形成されている。一方基板側にはn側電極32が全面に形成されている。

【0042】次に本構造の製造方法を図2を用いて説明する。図2 (a)、(c)、(d)、(g)、(h) は活性領域あるいは受動導波路領域における断面図、図2 (b)、(e)、(f) はマスクパターンを示す表面図である。まず図2 (a) および (b) に示すように、n型InP基板1の表面にシリコン酸化膜などの一対の誘電体薄膜21をストライプ状に形成する。誘電体薄膜21に挟まれた導波領域22の幅は $1.5 \mu\text{m}$ 一定とし、一方誘電体薄膜21のマスク幅は活性領域23では $20 \mu\text{m}$ 、受動導波路領域24では $6 \mu\text{m}$ とした。そして図2 (c) に示すように、n型InP下部クラッド層2、

多重量子井戸活性層3、p型InP上部クラッド層4を選択MOVPEにより形成した。次に図2(e)あるいは(f)に示すように導波領域22に接した誘電体薄膜21を部分的に除去し、活性領域23で幅8 μm 、受動導波路領域24で幅4 μm のマスク開口部を設け(図2(d))、再び選択MOVPEにより、p型InGaAsP第1クラッド層5、p型InP第2クラッド層6、およびp型InGaAsP第1クラッド層7を形成して活性層3の上部および側部を埋め込んだ(図2(g))。

【0043】これで図1の構造が形成されたが、さらに受動導波路領域24で横方向の屈折率差を大きくするために、図2(h)に示すようにp型InGaAsP第1クラッド層5の両側にInP基板1に達する溝25を形成してもよい。この場合、塩酸系のエッチング液を用いれば、p型InGaAsP第1クラッド層5はエッチングされないの

で、選択的にInP基板1をエッチングすることができ、マスクなどを用いない簡単な方法によって溝25を形成できる。

【0044】次に第2の実施例として、図3に半導体光集積素子の製造方法を示す。はじめに第1の例と同様に誘電体薄膜21を形成したn型InP基板1上にn型InP下部クラッド層2、多重量子井戸活性層3、p型InP上部クラッド層4を選択MOVPEにより形成した(図3(a))。次に誘電体薄膜21を除去し、全面にp型InGaAsP第1クラッド層5、p型InP第2クラッド層6およびp型InGaAsP第1クラッド層7を形成した(図3(b))。次に表面にレジストパターンを形成し、エッチングにより基板1に達する溝25を形成した(図3(c))。

【0045】溝の深さは約2.5 μm 、幅は5 μm 、間隔は活性領域23で6 μm 、受動導波路領域24で3 μm とした。この製造方法によっても、図2の製造方法により得られる構造と同等の構造を有する光集積素子を作製することができる。なお本方法においては、はじめに選択的に形成する活性層の幅は1.5 μm より広くてもよく、受動導波路領域24では誘電体薄膜21を形成せず全面に成長してもよい。この場合でも選択MOVPEによってバンドギャップエネルギーの異なる活性層が一括形成されており、溝の形成時に活性層もエッチングされて幅3 μm の導波層となる。

【0046】次に第3の実施例を図4を用いて説明する。n型半導体基板1上にn型InP下部クラッド層2(キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$)、InGaAsP井戸7層およびInGaAsPバリアからなる多重量子井戸活性層3、およびp型InP上部クラッド層4(キャリア濃度 $1 \times 10^{18} \text{ cm}^{-3}$)が選択的に形成されている。活性層3の幅はいずれも1.5 μm である。この活性層3を埋め込むように、活性領域(図4(a))ではp型InPクラッド層8(層厚1.5 μm 、キャリア濃

度 $1 \times 10^{18} \text{ cm}^{-3}$)およびp型InGaAsP第1クラッド層5(層厚0.3 μm 、キャリア濃度 $1 \times 10^{19} \text{ cm}^{-3}$)が、受動導波路領域(図4(b))ではアンドープInGaAsP第1クラッド層5(層厚0.8 μm 、バンドギャップ波長1.05 μm)、およびアンドープInP第2クラッド層6(層厚1 μm)が形成されている。

【0047】活性領域におけるp型InPクラッド層8の幅は8 μm であるのに対して、受動導波路領域におけるアンドープInGaAsP第1クラッド層5の幅は4 μm とした。また活性領域ではさらに表面にp側電極31が形成されている。一方基板側にはn側電極32が全面に形成されている。このような構造とすれば、受動導波路領域において導波光が閉じ込められるInGaAsP第1クラッド層5がアンドープであるため、価電子帯間吸収による損失の少ない、低損失光導波路を得ることができる。なおその製造方法は従来例である特願平。144283とほぼ同一であり、受動導波路領域において第1、第2クラッド層に分けて形成する点異なる。

【0048】次に第4の実施例について、図5を用いて説明する。まず図5(a)および(b)に示すように、n型InP基板1の表面にシリコン酸化膜などの一対の誘電体薄膜21をストライプ状に形成する。誘電体薄膜21に挟まれた導波領域22の幅は1.5 μm 一定とし、一方誘電体薄膜21のマスク幅は活性領域23では50 μm 、受動導波路領域24では30 μm とした。そして図5(c)に示すように、n型InP下部クラッド層2、多重量子井戸活性層3、p型InP上部クラッド層4を選択MOVPEにより形成した。次に図5(d)に示すように誘電体薄膜21を部分的にエッチングして活性領域23におけるマスク幅を10 μm とし、一方受動導波路領域24では幅30 μm のままとした。再び選択MOVPEにより、p型InGaAsP第1クラッド層5、p型InP第2クラッド層6を活性層3の上部に形成した(図5(e))。

【0049】この成長では活性層3の形成時と逆に受動導波路領域24でのマスク幅が大きいため、受動導波路領域24においてp型InGaAsP第1クラッド層5の層厚が0.5 μm 、バンドギャップ波長が1.05 μm であったのに対し、活性領域23ではそれぞれ0.2 μm 、0.97 μm であり、活性領域ではp型InGaAsP第1クラッド層5をほぼp型InP層と見なせる。さらに図5(f)に示すように、誘電体薄膜21を再び形成して活性領域の導波領域のみに幅12 μm の開口部を設け、一方受動導波路領域24の導波領域は誘電体薄膜21で覆う。そして図5(g)に示すように、活性領域のみにp型InPクラッド層8およびp型InGaAsP第1クラッド層7を形成し、電極を形成した。受動導波路領域では図5(h)に示すようにp型InP第2クラッド層6の上部にはp型InPクラッド層8は形成

されない。

【0050】本方法によれば、はじめの活性層形成時と同じマスクパターン上を用いて第1クラッド層5を活性層3の上部に形成できるため、その幅を1.5 μ m程度と狭くすることが可能であり、横高次モードの抑制に効果がある。

【0051】

【発明の効果】以上述べたように、本発明の半導体光集積素子およびその製造方法を用いれば、選択MOVPEによる活性層の一括形成技術を用いて、活性領域と曲率半径の小さな受動導波路領域の集積化が可能となり、簡単な製造方法により、半導体マトリクススイッチや多波長レーザアレイ、双方向光集積素子などの各種半導体光集積素子の小型化を実現することができる。

【0052】なお本発明の主旨を活かしたものであれば、実施例に記載した半導体材料以外のものを用いた場合にも本発明は適用可能であり、また導電型、半導体層の層厚、幅なども変更可能であることは当然である。

【図面の簡単な説明】

【図1】 本発明の第1の実施例である半導体光集積素子の構造を示す断面図であり、図1(a)は活性領域、図1(b)は受動導波路領域における断面構造を示す。

【図2】 本発明の第1の実施例である半導体光集積素子の製造方法を示す断面図および表面図である。

【図3】 本発明の第2の実施例である半導体光集積素子の製造方法を示す断面図である。

【図4】 発明の第3の実施例である半導体光集積素子*

*の構造を示す断面図であり、図4(a)は活性領域、図4(b)は受動導波路領域における断面構造を示す。

【図5】 本発明の第4の実施例である半導体光集積素子の製造方法を示す断面図および表面図である。

【図6】 従来例である半導体光集積素子の構造を示す断面図であり、図6(a)は活性領域、図6(b)は受動導波路領域における断面構造を示す。

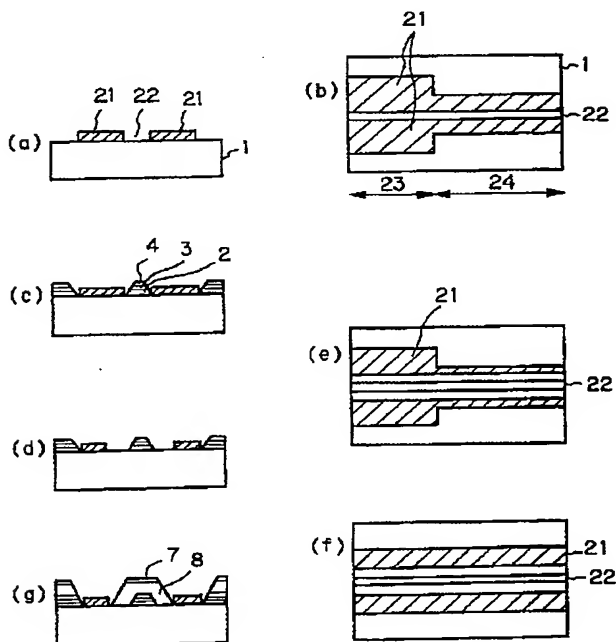
【図7】 従来例である半導体光集積素子の製造方法を示す断面図および表面図である。

【図8】 従来例である半導体光導波路の構造を示す断面図である。

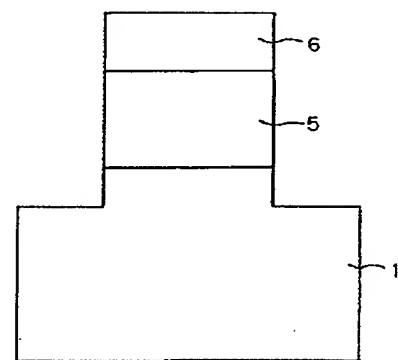
【符号の説明】

- | | |
|----|--------------------|
| 1 | n型半導体基板 |
| 2 | n型下部クラッド層 |
| 3 | 活性層 |
| 4 | p型上部クラッド層 |
| 5 | p型あるいはアンドープ第1クラッド層 |
| 6 | p型あるいはアンドープ第2クラッド層 |
| 7 | p型コンタクト層 |
| 8 | p型クラッド層 |
| 20 | 誘電体薄膜 |
| 21 | 導波領域 |
| 22 | 活性領域 |
| 23 | 受動導波路領域 |
| 24 | 溝 |
| 31 | p側電極 |
| 32 | n側電極 |

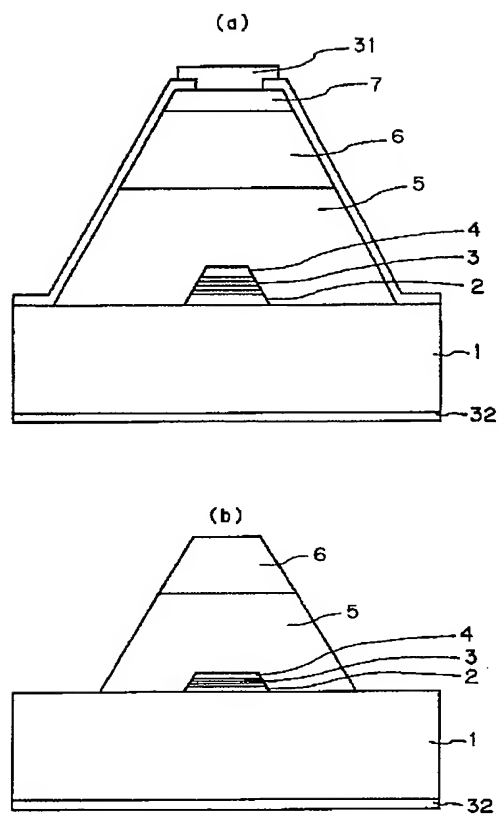
【図7】



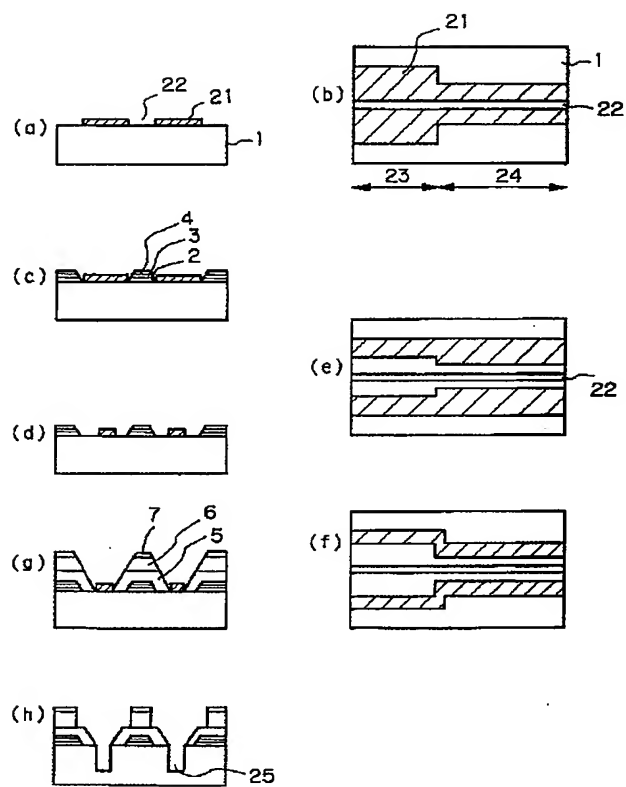
【図8】



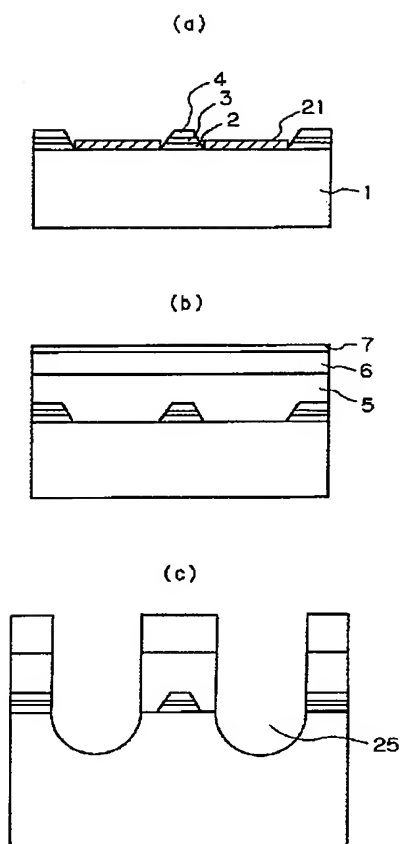
【図 1】



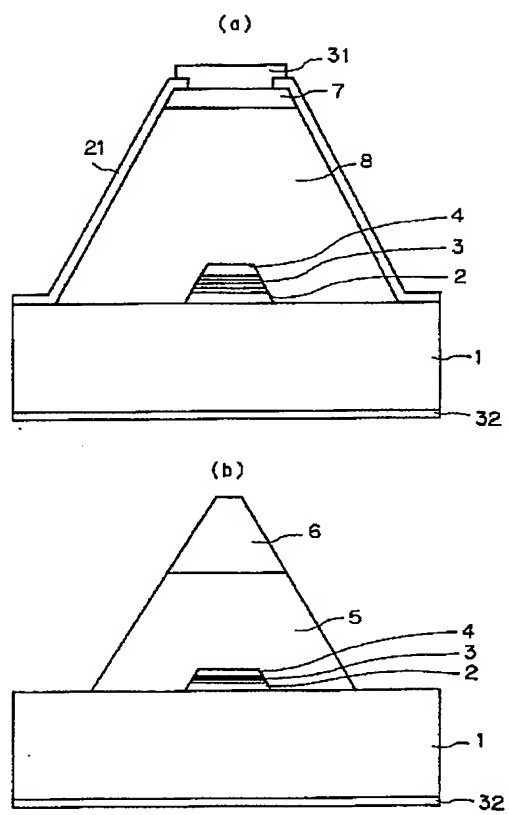
【図 2】



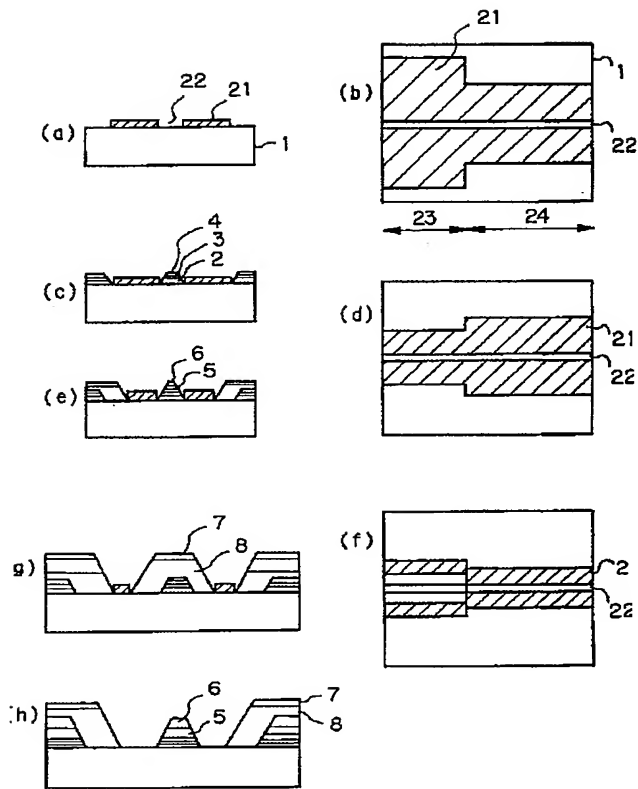
【図 3】



【図 4】



【図5】



【図6】

